

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102548

(43)Date of publication of application : 16.04.1996

(51)Int.Cl.

H01L 33/00

(21)Application number : 06-236258

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.09.1994

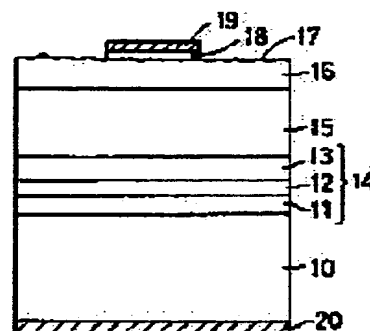
(72)Inventor : SUZUKI MARIKO

## (54) SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND ITS MANUFACTURE

## (57)Abstract:

PURPOSE: To improve outside quantum efficiency of a semiconductor light emitting element by improving light acquiring efficiency and by preventing loss by light absorption.

CONSTITUTION: A light-emitting layer 14 is formed by forming an n-type clad layer 11 consisting of an InGaAlP material, an undoped active layer 12 and a p-type clad layer 13 on an n-type GaAs substrate 10. A semiconductor light-emitting element has a lattice misregistration lattice formed on the light-emitting layer 14 at plus to the light-emitting layer 14 or the substrate 10 and a light scattering layer 16 whose surface is roughened.



## LEGAL STATUS

[Date of request for examination] 07.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3333330

[Date of registration] 26.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102548

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.<sup>9</sup>

H 0 1 L 33/00

識別記号

庁内整理番号

A

F I

技術表示箇所

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平6-236258

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 鈴木 真理子

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

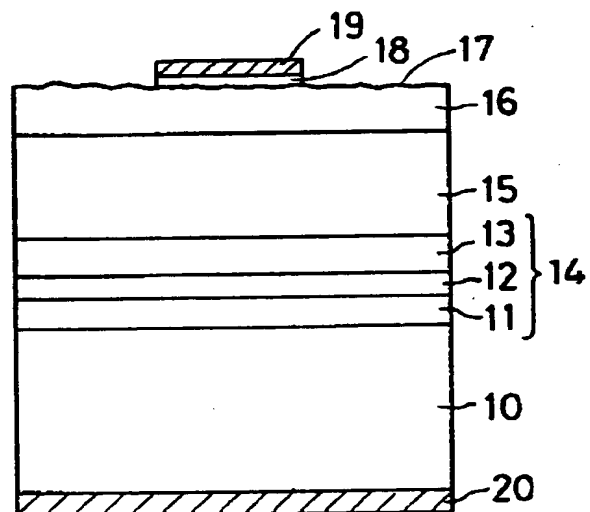
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体発光素子及びその製造方法

(57) 【要約】

【目的】 光の取り出し効率を向上させ、光の吸収による損失を防ぐことによって半導体発光素子の外部量子効率を向上させる。

【構成】 n型GaAs基板10上に、InGaAlP系材料からなるn型クラッド層11、アンドープ活性層12、p型クラッド層13を成長形成し発光層14とする。この発光層14上に形成された、発光層14或いは基板10に対してプラスに格子不整格子、表面が粗面化された光散乱層16を有する半導体発光素子。



【特許請求の範囲】

【請求項1】基板と、

この基板上に形成された半導体からなる発光層と、  
この発光層上に形成され前記発光層を構成する半導体に対してプラスに格子不整合した半導体からなり、表面が格子歪により粗面化されている光散乱層とを具備することを特徴とする半導体発光素子。

【請求項2】前記基板は半導体からなり、前記光散乱層は前記基板に対してプラスに格子不整合していることを特徴とする請求項1記載の半導体発光素子。

【請求項3】前記光散乱層の膜厚が0.05 $\mu$ m以上であり、前記光散乱層の格子不整合率は0.1%以上2.5%以下であることを特徴とする請求項1或いは請求項2記載の半導体発光素子。

【請求項4】前記光散乱層はInGaAlP系からなることを特徴とする請求項1、請求項2、或いは請求項3記載の半導体発光素子。

【請求項5】前記基板はGaAsからなることを特徴とする請求項1、請求項2、請求項3或いは請求項4記載の半導体発光素子。

【請求項6】前記発光層から発光された光は前記光散乱層の粗面化された表面を介して外部に取り出されることを特徴とする請求項1、請求項2、請求項3、請求項4或いは請求項5記載の半導体発光素子。

【請求項7】基板上に半導体材料からなる発光層を成長形成する工程と、  
この発光層上に前記発光層に対してプラスに格子不整合させるように半導体層を成長させ表面を粗面化させることによって光散乱層を形成する工程とを具備することを特徴とする半導体発光素子の製造方法。

【請求項8】チャンバー内に半導体基板を配置する工程と、  
前記チャンバー内に原料ガスを流し、基板温度及び前記原料ガスの流量を調整することによって、前記基板上にダブルヘテロ構造を有する発光層を形成する工程と、  
前記発光層を形成した後前記原料ガスの流量を調整することによって、前記基板に対してプラスに格子不整合するように半導体層を成長させる工程と、  
前記半導体層の成長時間を調整することによって前記半導体層の膜厚を調整し、表面を粗面化させる工程とを具備することを特徴とする半導体発光素子の製造方法。

【請求項9】チャンバー内に原料ガスを流すことによってGaAs基板上に格子整合するように第1のクラッド層を成長形成する工程と、  
前記原料ガスの混合比を調整することによって第1のクラッド層上に、第1のクラッド層に対してヘテロ接合するように活性層を成長形成する工程と、  
前記原料ガスの混合比を調整することによって前記活性層上に、前記活性層に対してヘテロ接合するように第2のクラッド層を成長形成する工程と、

前記原料ガスの混合比を調整することによって前記第2のクラッド層上に、前記基板に対してプラスに格子不整合するようにInGaAlP系からなる半導体層を成長させ、その成長時間を調整することによって前記半導体層表面に幾何学状の凹凸を形成する工程とを具備することを特徴とする半導体発光素子の製造方法。

【請求項10】前記原料ガスの前記半導体層の格子不整合率を0.1%以上2.5%以下となるように前記原料ガスの流料を調整し、前記半導体層の膜厚が0.05 $\mu$ m以上となるように前記半導体層の成長時間を調整することを特徴とする請求項8或いは請求項9記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は光の取り出し効率の良好な半導体発光素子及びその製造方法に係る。

【0002】

【従来の技術】InGaAlP系混晶は、窒化物を除きIII-V属化合物半導体混晶中で最大の直接遷移型エネルギーギャップを有し、波長0.5 $\sim$ 0.6 $\mu$ m帯の発光素子材料として注目されてきている。特にGaAsを基板とし、これに格子整合するInGaAlPからなる発光層を持つpn接合型発光ダイオード(LED)は、直接遷移型エネルギーギャップを有しており電荷の再結合が効率よく行われ、いわゆる内部量子効率が高いので高い発光輝度を期待できる。

【0003】しかしながら内部量子効率はその組成により決定されるものであり、実質的にLEDの発光効率を高めるには、素子内部での光吸収による損失や内部反射等により外部に取り出されない光の損失分を考慮した外部量子効率の向上が重要である。

【0004】図10に発光層にInGaAlPを用いた従来のLEDの断面図を示す。n型GaAs基板61の主面上にn型InGaAlPクラッド層62、InGaAlP活性層63、p型InGaAlPクラッド層64からなるダブルヘテロ構造部(発光層65)が格子整合され成長形成されている。この発光層65上にp型GaAs電流拡散層66が前記基板61及び発光層65に対して格子整合され成長形成されている。更にこのGaAs電流拡散層66上に電極部として、p型GaAsオーミックコンタクト層67、Au-Znからなるp側電極68が円形状に形成されている。n型GaAs基板61の裏面にはZn-Geからなるp側電極69が形成されている。

【0005】このようなLEDでは、電流拡散層66は基板61や発光層65と格子整合して成長形成されているので電流拡散層66と空気との界面70は鏡面状になっている。このような鏡面状の界面70では、界面70での全反射の確率が高く、発光層65で発光された光は界面70によりほぼ95%反射され外部に光を十分に取

り出すことができないという問題がある。

【0006】この界面における反射を防ぎ、外部に十分に光を取り出すことを目的として、界面に幾何学的に凹凸を形成することによって有効に外部に光を取り出すことが提案されている(I.Schnitzer et al, abstract for LEDS 93, pD1(1993))。

【0007】この文献によると、界面の凹凸化(粗面化)は微小なピーズ状の粒子をマスクとし異方性ドライエッチングを用いて行っており、このようにして得られたLEDは従来のものと比べて約3倍の外部量子効率

【0008】

【発明が解決しようとする課題】本発明者は上記文献に基づいて再現実験を行ったところ、微小粒子をマスクとし異方性ドライエッチングを用いて界面を粗面化する方法では以下の問題が生じることを見いだした。

(1) 異方性ドライエッチングを用いているため、界面にダメージを与え界面に光を吸収する準位を有する欠陥を与えることとなり、光吸収による損失が大きくなる問題。

(2) 異方性ドライエッチングを用いているため、素子に与えるダメージは無視できるものではなく、結果的に素子の寿命を低下させる問題。

(3) 界面の粗面化は数千オングストロームから数ミクロン程度と十分に微細に且つ均一に行わなければならないが、微小ピーズをマスクとして用いる方法では、ウェハ表面内でピーズが均一に分散しないため、ウェハ面内で均一にエッチングすることができないので結果的に素子を分離したときに素子間で外部量子効率のばらつきが生ずる問題。

(4) LEDを構成する材料によってはプロセスが困難であり、実際ZnGaAlP系LEDでは外部量子効率の向上は得られなかった。

【0009】そこで本発明は上記問題点に鑑みて成されたものであり、素子にダメージを与えることがなく、界面における光の吸収による損失を防ぎ高い量子効率を有する半導体発光素子を提供することを目的とする。

【0010】本発明の別の目的は素子の寿命を向上させ信頼性の高い半導体発光素子を提供するところにある。また、本発明の別の目的は高いスループットを有し、素子間で外部量子効率のばらつきのない半導体発光素子を提供するところにある。更に本発明の別の目的は、エッチング等の余分な工程がなく極めて容易に、界面を粗面化し得る半導体発光素子の製造方法を提供するところにある。

【0011】

【課題を解決するための手段】本発明者は、下地の基板に対してプラスに格子不整合するように半導体を成長形成すると、ある膜厚で表面に面内で均一な凹凸(粗面)を生じる現象を見いだした。このような凹凸はいわゆる

ハッチが生じたり、部分的に多結晶化するものではなく、結晶性を保ったまま幾何学的に凹凸が生じる現象である。

【0012】本発明はこのような格子不整合による結晶歪によって生じた幾何学的な凹凸面を持つ半導体層(表面が粗面化された半導体層)を半導体発光素子の光散乱層として用いることによって成し得たものである。

【0013】そこで本発明による半導体発光素子は、基板と、この基板上に形成された半導体からなる発光層と、この発光層上に形成され前記発光層を構成する半導体に対してプラスに格子不整合した半導体からなり、表面が格子歪により粗面化されている光散乱層とを具備することを特徴とするものである。

【0014】また基板として半導体基板を用い、光散乱層はこの基板に対してプラスに格子不整合していることを特徴とするものである。また本発明による半導体発光素子の製造方法は、基板上に半導体材料からなる発光層を成長形成する工程と、この発光層上に前記発光層或いは前記基板に対してプラスに格子不整合させるように半導体層を成長させ表面を粗面化させることによって光散乱層を形成する工程とを具備することを特徴とするものである。

【0015】光散乱層の膜厚は0.05 $\mu$ m以上であり、光散乱膜の格子不整合率は0.1%以上2.5%以下であれば、その表面は良好に粗面化され光取り出し効率の高い半導体発光素子を提供することができる。

【0016】その膜厚は0.05 $\mu$ m以上10 $\mu$ m以下であることが十分に光を散乱させること、成長方向に組成の均一性を得ることの点で好ましい。光散乱層はInGaAlP系からなることがGaAsに格子整合するほとんどのIII-V族系LEDにたいして透明であること、比較的容易に屈折率やバンドギャップを格子定数を変えずに制御できること等の点で好ましい。基板としてはGaAsやInP、GaAlAs等種々選択して用いることができる。

【0017】

【作用】本発明によると、光散乱層の表面を格子不整合による結晶歪によって粗面化しているので、結晶性を保ったままその表面に幾何学状の凹凸を形成することが可能となり、光吸収による外部量子効率の低下を防ぐことが可能となる。また、ドライエッチングのようなエッチング工程を不要としているので素子の信頼性の向上を図ることができる。更に通常の気相成長法のみで製造できるので、エッチング等の余分な工程も必要とせず高い歩留まりを期待できる。

【0018】

【実施例】以下に図面を参照して本発明の実施例を詳細に説明する。

(実施例1) 図1は本発明の第1の実施例に係る半導体発光素子の概略構成を示す断面図である。

(4)

5

【0019】n型GaAs基板10の主面上に、n型In<sub>0.5</sub>(Ga<sub>1-x</sub>Al<sub>x</sub>)<sub>0.5</sub>クラッド層11、アンドープIn<sub>0.5</sub>(Ga<sub>1-x</sub>Al<sub>x</sub>)<sub>0.5</sub>活性層12、p型In<sub>0.5</sub>(Ga<sub>1-x</sub>Al<sub>x</sub>)<sub>0.5</sub>クラッド層13からなるダブルヘテロ構造の発光層14が格子整合され成長形成されている。ダブルヘテロ構造は高い発光効率を得られるように $y \leq x$ ,  $y \leq z$ となるように設定する。すなわちバンドギャップの大きさが活性層12 $\leq$ クラッド層11、活性層12 $\leq$ クラッド層13となるように $x$ ,  $y$ ,  $z$ を決定すれば良い。

【0020】この発光層14上にp型Ga<sub>1-x</sub>Al<sub>x</sub>As電流拡散層15が成長形成されている。このとき電流拡散層15のAl組成 $t$ は発光波長に対して透明であるように設定する。

【0021】この電流拡散層15上に表面が粗面化されたp型In<sub>0.5</sub>Al<sub>0.5</sub>As光散乱層16が成長形成されている。このとき光散乱層16の混晶比 $s$ は、その表面17が粗面となるようにGaAs基板10及び発光層14に対して格子不整合率が+0.1%以上+2.5%以下に設定され、好ましくは $s=0.005$ (0.5%)に設定されている。

【0022】この光散乱層16上には電極部となるp型GaAsコンタクト層18、Au-Znからなるp側電極19が円形状に形成されている。GaAs基板10の裏面にはAu-Geからなるn側電極20が形成されている。

【0023】次に、この半導体発光素子の製造方法を図2から図6を参照して説明する。以下に説明する半導体発光素子においては、 $x=1$ ,  $y=0.5$ ,  $z=1$ ,  $s=0.005$ ,  $t=0.8$ となるように各ガスの流量や成長温度を制御して成長形成した。III族原料に有機金属(トリメチルガリウム、トリメチルインジウム、トリメチルアルミニウム)を用い、V族原料にアルシン、ホスフィンを用いた。このときの成長温度は730°C、V/III比は450とした。

【0024】先ず図2に示すようにn型GaAs基板10上にn型InGaAlPクラッド層11、InGaAlP活性層12、p型GaAlPクラッド層13、p型GaAlAs電流拡散層15、p型InAlP光散乱層16、p型GaAsコンタクト層18をMOCVD法により順次形成する。このとき光散乱層16の表面は粗面化されていた。

【0025】次に図3、図4に示すようにPEP等によりp型GaAsコンタクト層18上にSiO<sub>2</sub>膜(或いはその他のレジスト膜)21を形成し、これをマスクにしてAu/AuZnからなるp側電極19を蒸着により形成する。このとき図5に示すようにコンタクト層18及び光散乱層16の一部を熱リン酸等により選択エッチングした後にAu/AuZn電極19を蒸着してもよい。

【0026】次に図6に示すようにレジスト膜21を除

去することによって、レジスト膜上のAu/AuZnをリフトオフにより除去し、更にp型GaAsコンタクト層の一部を選択エッチングにより除去し、コンタクト層18及び電極19を円形状に形成する。このようにして光散乱層の粗面化された表面17を素子表面に出すことになる。

【0027】その後n型基板10の光取り出し側と反対の面にAu/AuGeからなるn側電極20を蒸着により形成し、図1に示した半導体発光素子を得る。各層の膜厚及びキャリア濃度を以下に示す。

【0028】n型GaAs基板10(80 $\mu$ m,  $3 \times 10^{18}$ cm<sup>-3</sup>)

n型InGaAlPクラッド層11(1.0 $\mu$ m,  $5 \times 10^{17}$ cm<sup>-3</sup>)

InGaAlP活性層12(0.5 $\mu$ m, アンドープ)

p型InGaAlAs電流拡散層15(5.0 $\mu$ m,  $1 \times 10^{18}$ cm<sup>-3</sup>)

p型InAlP光散乱層16(0.5 $\mu$ m,  $7 \times 10^{17}$ cm<sup>-3</sup>)

p型GaAsコンタクト層18(0.025 $\mu$ m,  $3 \times 10^{18}$ cm<sup>-3</sup>)

このようにして作成した半導体素子において、光散乱層16についてもう少し詳細に説明する。

【0029】InGaAlPはGaAs基板上に成長させたとき、基板との格子不整合率と膜厚を変化させることにより、表面近傍に面内ではほぼ均一な凹凸を生じる。図7(a)に(311)A面GaAs基板上にInAlP層を形成した場合、表面に凹凸が生じる条件を示す図を示す。図中斜線で示した部分が表面に凹凸が生じる条件である。その他の範囲では鏡面状の状態のままであったり、ハッチが入ったり不均一に多結晶化した状態であるものである。

【0030】上記のように光散乱層として用いるに十分な結晶性を保ったまま凹凸の生じる条件で、InGaAlP層を光散乱層として発光層の上部に成長形成することによって、エッチング等の余分な工程を経ることなく膜質を良好に保ったまま、光散乱層を得ることが可能となる。従って反射による損失を防ぐことはもちろんのことであり、良好な界面状態を有することで光の吸収を防ぐことが可能であり、合わせて外部量子効率の向上を図り得るものである。

【0031】ここでInGaAlP系材料においては、Alの混晶比が小さいほど表面に凹凸が現れ易く、より薄い膜厚、より格子不整合率が小さい範囲においてもその表面に凹凸が生じる傾向にある。図7(b)にAlの組成が0の場合すなわちInGaPをA面GaAs基板上に成長させた場合の良好な凹凸が生じる範囲を示す。このように図7(a)と比較すると凹凸が生じる範囲が、膜厚が薄く格子不整合率が低い方向に、すなわちグラフの原点方向にシフトしていることが分かる。

50

【0032】また図7(c)に格子不整合率が0.5%のInAlPを、(100)面からの基板傾斜角度を変えてGaAs基板上に成長した場合の、良好な凹凸が表面に生じる範囲を示す図を示す。このように基板面方位が(100)面からの傾斜角が小さくなるほどより膜厚を厚くしなければ表面に凹凸が生じない傾向にあることが分かる。

【0033】図1で示した半導体発光素子でp側電極19の直径を200 $\mu\text{m}$ とし、基板10をGaAs、クラッド層11をIn<sub>0.5</sub>Al<sub>0.5</sub>P、活性層12をIn<sub>0.5</sub>(Ga<sub>0.5</sub>Al<sub>0.5</sub>)<sub>0.5</sub>P、クラッド層13をIn<sub>0.5</sub>Al<sub>0.5</sub>P、電流拡散層15をGa<sub>0.5</sub>Al<sub>0.5</sub>As、光散乱層16をIn<sub>0.5</sub>Al<sub>0.5</sub>Pとした場合で順方向に電圧を印加して電流を流したところ、558nmに発光を有し、光度が1cdを超える高い発光を得た。比較例として光散乱層を具備しない半導体発光素子を形成し比較したところ、本実施例による素子は比較例に比べて約5倍の明るさを示した。

【0034】このように本実施例によれば、光の取り出し効率を高くすることができ非常に高い発光光度を得ることができる。本実施例では光散乱層としてInGaAlPを用いたが、InGaAlPとGaAs基板に限定されるものではなく、基板との格子不整合率及び膜厚を選択することにより、表面に均一な凹凸を有する半導体の組み合わせにより種々選択し利用することができる。

【0035】また光の取り出し効率を更に向上するために、光散乱層と空気との界面に更に屈折率の低いGaAlAsキャップ層を形成することができる。また本実施例では電流拡散層を設けたが、発光層において十分に電流が広がるように材料系及び膜厚を選択することによって、光散乱層にこの電流拡散層の機能を合わせ持たせることができる。

(実施例2) 図8は本発明の第2の実施例に係る半導体発光素子の概略構成を示す断面図である。

【0036】n型GaAs基板80の主面上に格子整合するようにn型Zn<sub>1-x</sub>Mg<sub>x</sub>Si<sub>1-y</sub>Se<sub>y</sub>クラッド層81、アンドープCd<sub>1-x</sub>Zn<sub>x</sub>Se活性層82、p型Zn<sub>1-x</sub>Mg<sub>x</sub>Si<sub>1-y</sub>Se<sub>y</sub>クラッド層83からなるダブルヘテロ構造部(発光層84)が成長形成されている。

【0037】この発光層84上に基板80、発光層84に対してプラスに格子不整合するようにp型In<sub>0.5</sub>Al<sub>0.5</sub>Pからなる光散乱層85が、格子不整合による結晶歪によって表面86が粗面化され成長形成されている。

【0038】この光散乱層85上に電極部としてp型InGaPコンタクト層87、p型GaAsコンタクト層88、Au-Znからなるp側電極89が円形状に形成されている。基板80の裏面にはAu-Geからなるn

側電極90が形成されている。尚、各層の成長にはMOVPE法を用い、層81、82、83、85、87、88を1回の成長で形成した。

【0039】ダブルヘテロ構造を構成する発光層84の各層の混晶比p、q、r、u、vは高い発光効率を得られるようにクラッド層のバンドギャップは活性層のバンドギャップよりも大きくなるように選ばれる。また光散乱層の混晶比wはp型Zn<sub>1-x</sub>Mg<sub>x</sub>Si<sub>1-y</sub>Se<sub>y</sub>クラッド層83との格子不整合率が+0.5%となるように設定した。

【0040】また各層の膜厚及びキャリア濃度は以下に示すものとした。

n型GaAs基板80(80 $\mu\text{m}$ ,  $3 \times 10^{19} \text{cm}^{-3}$ )  
n型ZnMgSSeクラッド層81(1.0 $\mu\text{m}$ ,  $5 \times 10^{17} \text{cm}^{-3}$ )

CdZnSe活性層82(0.5 $\mu\text{m}$ , アンドープ)

p型ZnMgSSeクラッド層83(1 $\mu\text{m}$ ,  $4 \times 10^{17} \text{cm}^{-3}$ )

p型InAlP光散乱層85(0.3 $\mu\text{m}$ ,  $7 \times 10^{17} \text{cm}^{-3}$ )

p型InGaPコンタクト層87(0.025 $\mu\text{m}$ ,  $3 \times 10^{18} \text{cm}^{-3}$ )

p型GaAsコンタクト層88(0.1 $\mu\text{m}$ ,  $3 \times 10^{18} \text{cm}^{-3}$ )

このような構造でp側電極89の直径を200 $\mu\text{m}$ として形成し、n型Zn<sub>1-x</sub>Mg<sub>x</sub>Si<sub>1-y</sub>Se<sub>y</sub>クラッド層81、p型Zn<sub>1-x</sub>Mg<sub>x</sub>Si<sub>1-y</sub>Se<sub>y</sub>クラッド層83の混晶比をp=u=0.09、p=v=0.84、Cd<sub>1-x</sub>Zn<sub>x</sub>Se活性層82の混晶比rを0.8、p型In<sub>0.5</sub>Al<sub>0.5</sub>P光散乱層の混晶比wをw=0.005として素子を形成し、順方向に電圧を印加して電流を流したところ、510nmに発光を有し光度0.5cdを超える発光が得られた。

【0041】比較例として光散乱層85がない半導体発光素子形成し比較したところ、本実施例は比較例に比べて約8倍の明るさを有していた。

(実施例3) 図9は本発明の第3の実施例に係る半導体発光素子の概略構成を示す断面図である。

【0042】n型GaAs基板100の主面上に格子整合するようにn型Ga<sub>1-x</sub>Al<sub>x</sub>Asクラッド層101、アンドープGa<sub>1-x</sub>Al<sub>x</sub>As活性層102、p型Ga<sub>1-x</sub>Al<sub>x</sub>Asクラッド層103からなるダブルヘテロ構造部(発光層104)が成長形成されている。

【0043】この発光層104上に基板100、発光層104に対してプラスに格子不整合するようにp型In<sub>0.5</sub>Al<sub>0.5</sub>Pからなる光散乱層105が、格子不整合による結晶歪によって表面106が粗面化され成長形成されている。

【0044】この光散乱層105上に電極部としてp型GaAsコンタクト層107、Au-Znからなるp側

10

20

30

40

50

電極108が円形状に形成されている。基板100の裏面にはAu-Geからなるn側電極109が形成されている。尚、各層の成長にはMOCVD法を用い、層101、102、103、105、107を1回の成長で形成した。

【0045】ダブルヘテロ構造を構成するGaAlAs発光層104のAl組成i, j, kは高い発光効率を得られるように、 $j \leq i$ ,  $j \leq k$ に設定されクラッド層のバンドギャップは活性層のバンドギャップよりも大きく

なるように選ばれる。また光散乱層の混晶比mはGaAs

基板100との格子不整合率が+0.5%となるように設定した。

【0046】また各層の膜厚及びキャリア濃度は以下に示すものとした。

n型GaAs基板100 ( $80 \mu\text{m}$ ,  $3 \times 10^{18} \text{cm}^{-3}$ )

n型GaAlAsクラッド層101 ( $1.0 \mu\text{m}$ ,  $5 \times 10^{17} \text{cm}^{-3}$ )

GaAlAs活性層102 ( $0.5 \mu\text{m}$ , アンダーブ)

p型GaAlAsクラッド層103 ( $1 \mu\text{m}$ ,  $4 \times 10^{17} \text{cm}^{-3}$ )

p型InGaP光散乱層105 ( $0.2 \mu\text{m}$ ,  $7 \times 10^{17} \text{cm}^{-3}$ )

p型GaAsコンタクト層107 ( $0.1 \mu\text{m}$ ,  $3 \times 10^{18} \text{cm}^{-3}$ )

このような構造でp側電極108の直径を $200 \mu\text{m}$ φとして形成し、n型Ga<sub>1-i</sub>Al<sub>i</sub>Asクラッド層101のAl組成iを0.8、Ga<sub>1-j</sub>Al<sub>j</sub>As活性層102のAl組成jを0.35、n型Ga<sub>1-k</sub>Al<sub>k</sub>Asクラッド層103のAl組成kを0.8、p型InGa<sub>1-m</sub>As<sub>m</sub>P光散乱層の混晶比mを0.005として素子を形成し、順方向に電圧を印加して電流を流したところ、660nmに発光を有し外部量子効率が80%を超える発光が得られた。

【0047】比較例として光散乱層105がない半導体発光素子形成し比較したところ、本実施例は比較例に比べ約5倍の明るさを有していた。各実施例では基板にGaAsを用い、ダブルヘテロ構造の発光層、電流拡散層の機能も兼ね備えた光散乱層にInGaAlPを用いたが、これらに限定されるものではない。

【0048】光散乱層としては基板や発光層とプラスに格子不整合するような材料系を用いることを必須条件とするが、なおかつ発光波長に対して十分に透明であることが光を取り出すためにはより好ましい。

【0049】また発光層はダブルヘテロ構造に限らずシングルヘテロ構造、ホモ接合構造等用いることができる。更に発光層はSi等の1元系、InSb、BN、AlN、InAs、InP、SiGe、GaAs、GaP、GaN等の2元系、GaAlN、InAsP、GaAlN、InAlAs、GaAsP、GaAlP、In

GaAs、CdZnSe、CdMnTe等の3元系、InGaAlP、InGaAsP、InGaAlAs、CdMgZnSe、CuInAlSe、CuInGaSe等の4元系、InGaAlAsP、InGaAlAsSb、CdMgZnSSe、CuInGaSSe、CuInAlSSe等の5元系半導体等用いることができる。

【0050】光散乱層としては、Si、Ge等のIV族、SiGe等のIV-IV族、GaAlAs、InGaAlP、InGaAlAs、GaAlN、GaAlP等のII-III族、ZnSe、ZnSSe、CdMnTe、ZnTe、CdMgZnSSe等のII-VI族、カルコパイライト系等の材料系のものが適用できるが、要は下地の発光層或いは基板とプラスに格子不整合し、成長において結晶歪によって表面に幾何学状の凹凸が生じる組み合わせであれば種々選択して用いることができる。

【0051】

【発明の効果】以上説明したように本発明によれば、基板或いは発光層とプラスに格子不整合させることで半導体層を成長させ、表面に幾何学状の凹凸を生じせしめることによってこれを光散乱層として発光素子に用いることによって、界面にダメージを与えず、光吸収による損失を防ぐことが可能となる。また、信頼性の高い半導体発光素子を提供できるため素子の寿命をもたせることが可能となる。更に、高いスループットを有し、素子間で外部量子効率のばらつきのない半導体発光素子を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例に係る半導体発光素子の断面図

【図2】 本発明の第1の実施例に係る半導体発光素子の成長工程図

【図3】 本発明の第1の実施例に係る半導体発光素子の成長工程図

【図4】 本発明の第1の実施例に係る半導体発光素子の成長工程図

【図5】 本発明の第1の実施例に係る半導体発光素子の成長工程図

【図6】 本発明の第1の実施例に係る半導体発光素子の成長工程図

【図7】 本発明の光散乱層として用いる半導体層の基板に対する格子不整合率と膜厚の関係、成長基板の傾斜角度と膜厚の関係を示す図。

【図8】 本発明の第2の実施例に係る半導体発光素子の断面図

【図9】 本発明の第3の実施例に係る半導体発光素子の断面図

【図10】 従来の半導体発光素子の断面図

【符号の説明】

10・・・基板

11・・・コンタクト層



11

12

- 12・・・活性層  
13・・・コンタクト層  
14・・・発光層  
15・・・電流拡散層  
16・・・光散乱層

- \* 17・・・粗面化された表面  
18・・・コンタクト層  
19・・・p側電極  
20・・・n側電極

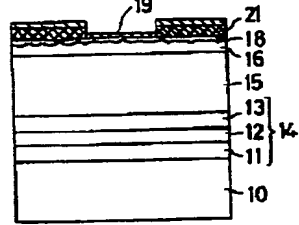
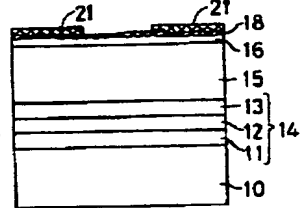
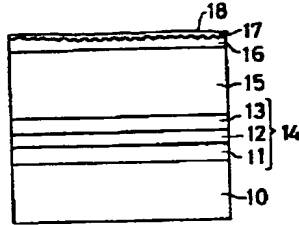
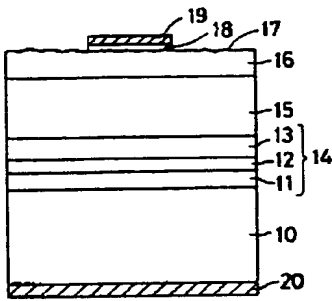
\*

【図1】

【図2】

【図3】

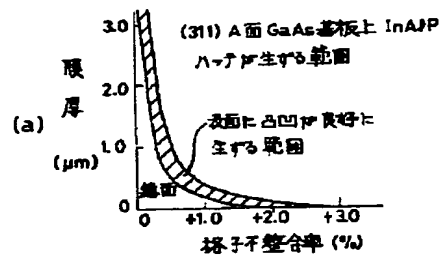
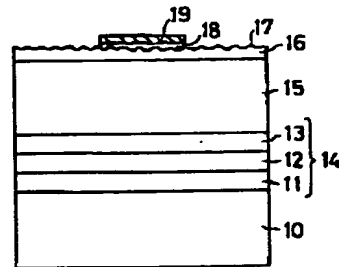
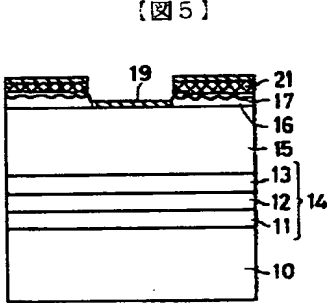
【図4】



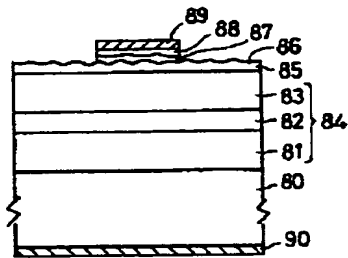
【図6】

【図7】

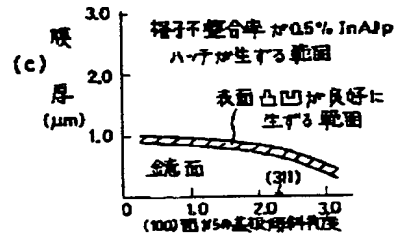
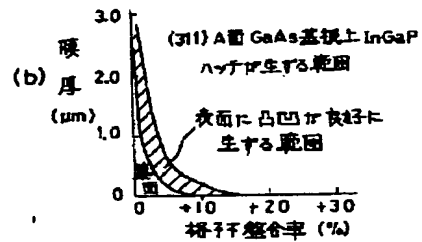
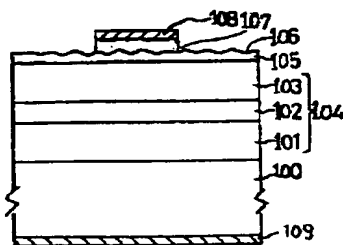
【図5】



【図8】



【図9】



【図10】

